

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-086426

(43)Date of publication of application : 31.03.1995

(51)Int.Cl. H01L 21/8242
 H01L 27/108
 H01L 27/04
 H01L 21/822

(21)Application number : 05-225340

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 10.09.1993

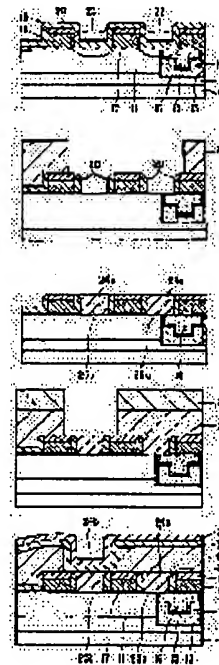
(72)Inventor : UTSUNOMIYA HIROAKI
 SUGIMOTO SHIGEKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent the short-circuit of strap contact/bit line contact, by forming a bit line after a second insulating film is deposited on the whole surface of a substrate, the second insulating film on the region where bit line contact is to be formed is eliminated, and a connection hole for bit line contact formed.

CONSTITUTION: After a word line 18 is formed, an SiN film 20 is deposited on the whole surface of a substrate. The SiN film 20 on the region 22 where strap contact is to be formed, and the SiN film 20 on the region 23 where bit line contact is to be formed are eliminated at the same time. On the whole surface of the substrate, a polycrystalline silicon film is deposited up to the height of the word line. The polycrystalline silicon film is eliminated so as to be buried up to the height of the word line. Thus a conducting layer 24a for strap contact and a conducting layer 24b for bit line contact are formed. After a BPSG film 26 is deposited on the whole surface of the substrate and reflowed, the BPSG film 26 on the region where bit line contact is to be formed is eliminated, and a connection hole for bit line contact is formed. After that, bit lines 28, 29 are formed. Thereby short-circuit can be prevented.



LEGAL STATUS

[Date of request for examination] 07.09.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3224916

[Date of registration] 24.08.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

特開平7-86426 ✓

(43)公開日 平成7年(1995)3月31日

(51) Int.Cl.⁸

識別記号

庁内整理番号

FI

技術表示箇所

H O 1 L 21/8242

27/108

27/04

7210-4M

H01L 27/10

3 2 5 D

8832-4M

27/ 04

C

審査請求 未請求 請求項の数2 OL (全 8 頁) 最終頁に続く

(21)出願番号 特願平5-225340

(22)出願日 平成5年(1993)9月10日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 發明者 宇都宮 博昭

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 杉本 茂樹

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

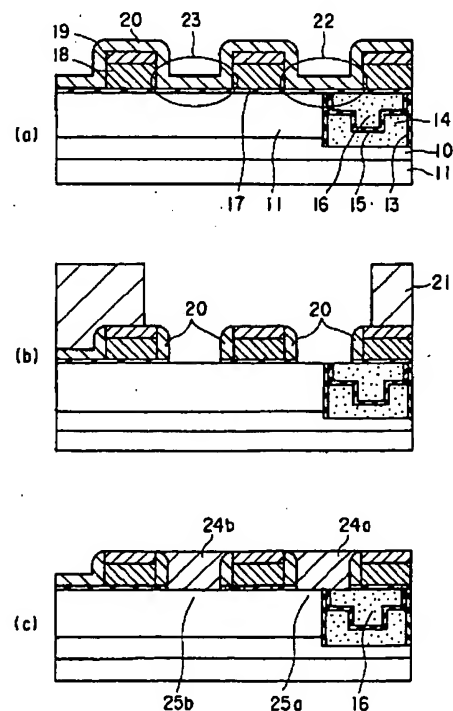
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】トレンチ・キャパシタ方式のDRAMセルを形成する際、ストラップ・コンタクトとビット線コンタクトを同時に形成し、大幅に工程を省略する。

【構成】トレンチ・キャパシタ方式のＤＲＡＭセルを形成する際、ワード線１８を形成した後、全面に第１の絶縁膜２０を堆積させ、ストラップ・コンタクト形成予定領域２２上およびビット線コンタクト形成予定領域２３上の第１の絶縁膜２０を同時に除去する工程と、全面に少なくともワード線の高さまで第１の導電層を堆積させた後、ポリッシング法を用いて第１の導電層（２４ａ、２４ｂ）をワード線の高さまで埋め込んだ状態で残す工程と、全面に第２の絶縁膜２６を堆積させ、ビット線コンタクト形成予定領域上の第１の導電層２４ｂ上の第２の絶縁膜を除去してビット線コンタクト用の接続孔を形成した後、ビット線（２８、２９）を形成する工程とを具備することを特徴とする。



1

【特許請求の範囲】

【請求項 1】 半導体基板の表面の一部に溝を掘り、この溝の内周面に絶縁膜を形成する工程と、
上記溝内の中間高さまで電荷蓄積用キャパシタのキャパシタ電極となる第 1 の導電材を埋め込み、その上にキャパシタ絶縁膜を形成し、さらに溝内の上部にキャパシタ電荷蓄積ノードとなる第 2 の導電材を形成する工程と、
前記半導体基板上にゲート絶縁膜を形成し、このゲート絶縁膜上にワード線を形成する工程と、
前記半導体基板の表面の一部に不純物拡散層を形成し、
前記ワード線の一部をゲート電極とする電荷転送ゲート用 MOS トランジスタを形成する工程と、
前記半導体基板上全面に第 1 の絶縁膜を堆積させる工程と、
前記電荷転送ゲート用 MOS トランジスタのソース拡散層を前記溝内の電荷蓄積ノードに接続するストラップ・コンタクト形成予定領域上の前記第 1 の絶縁膜およびその下層の前記ゲート絶縁膜ならびに前記電荷転送ゲート用 MOS トランジスタのドレイン拡散層をビット線に接続するビット線コンタクト形成予定領域上の前記第 1 の絶縁膜およびその下層の前記ゲート絶縁膜を異方性エッチングにより除去する工程と、
前記半導体基板上全面に少なくとも前記ワード線の高さまで第 1 の導電層を堆積させる工程と、
上記第 1 の導電層を前記ワード線の高さまで埋め込んだ状態で残すように平坦化技術を用いて除去することにより、前記キャパシタ電荷蓄積ノードと電荷転送ゲート用 MOS トランジスタのソース拡散層とを電気的に接続する導電層およびビット線コンタクト用の導電層を形成する工程と、
前記第 1 の導電層に対して、少なくとも前記ストラップ・コンタクト領域上およびビット線コンタクト領域上の第 1 の導電層を残し、それ以外の第 1 の導電層を除去する工程と、
前記半導体基板上全面に第 2 の絶縁膜を堆積させ、ビット線コンタクト形成予定領域上の第 1 の導電層上の少なくとも一部の第 2 の絶縁膜を除去し、ビット線コンタクト用の接続孔を形成する工程と、
前記半導体基板上全面に第 2 の導電層を堆積させる工程と、
上記第 2 の導電層をパターニングし、ビット線を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 2】 半導体基板の表面の一部に溝を掘り、この溝の内周面に絶縁膜を形成する工程と、
上記溝内の中間高さまで電荷蓄積用キャパシタのキャパシタ電極となる第 1 の導電材を埋め込み、その上にキャパシタ絶縁膜を形成し、さらに溝内の上部にキャパシタ電荷蓄積ノードとなる第 2 の導電材を形成する工程と、
前記半導体基板上にゲート絶縁膜を形成し、このゲート

2

絶縁膜上にワード線を形成する工程と、
前記半導体基板の表面の一部に不純物拡散層を形成し、
前記ワード線の一部をゲート電極とする電荷転送ゲート用 MOS トランジスタを形成する工程と、
前記半導体基板上全面に第 1 の絶縁膜を堆積させる工程と、
前記半導体基板上全面に第 2 の絶縁膜を堆積させる工程と、
前記電荷転送ゲート用 MOS トランジスタのソース拡散層を前記溝内の電荷蓄積ノードに接続するストラップ・コンタクト形成予定領域上の前記第 2 の絶縁膜、第 1 の絶縁膜およびその下層の前記ゲート絶縁膜ならびに前記電荷転送ゲート用 MOS トランジスタのドレイン拡散層をビット線に接続するビット線コンタクト形成予定領域上の前記第 2 の絶縁膜、第 1 の絶縁膜およびその下層の前記ゲート絶縁膜を異方性エッチングにより除去する工程と、
前記半導体基板上全面に少なくとも前記第 2 の絶縁膜の高さまで第 1 の導電層を堆積させる工程と、
上記第 1 の導電層を少なくとも前記第 2 の絶縁膜の高さまで埋め込んだ状態で残すように平坦化技術を用いて除去することにより、前記キャパシタ電荷蓄積ノードと電荷転送ゲート用 MOS トランジスタのソース拡散層とを電気的に接続するための導電層およびビット線コンタクト用の導電層を形成する工程と、
前記半導体基板上全面に第 3 の絶縁膜を堆積させ、ビット線コンタクト形成予定領域上の第 1 の導電層上の少なくとも一部の第 3 の絶縁膜を除去し、ビット線コンタクト用の接続孔を形成する工程と、
前記半導体基板上全面に第 2 の導電層を堆積させる工程と、
上記第 2 の導電層をパターニングし、ビット線を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に係り、特にビット線コンタクトおよびストラップ・コンタクトを具備したメモリセルの形成方法に関する。

【0002】

【従来の技術】 DRAM（ダイナミック型ランダムアクセスメモリ）の高集積化が進む中で、素子構造の 3 次元化が必須となっている。4 Mビット DRAM 以降の DRAM で採用されているメモリセル（DRAM セル）の構造は大別して、シリコン基板上方に電荷蓄積ノードを形成する、いわゆるスタック・キャパシタを用いる方式と、シリコン基板に溝を掘ってその内部に電荷蓄積ノードを形成する、いわゆるトレンチ・キャパシタを用いる方式とに分けられる。

【0003】 トレンチ・キャパシタを用いた DRAM セ

ルは、素子の微細化に伴い、隣り合うトレンチ間の絶縁耐圧を保つことが困難となってくる。その対策として、トレンチ内壁を絶縁膜で覆い、その中にポリシリコンで電荷蓄積ノードを形成する構造を有するトレンチ・キャパシタセルが主流となりつつある。

【0004】このトレンチ・キャパシタセルにおいては、キャパシタ電荷蓄積ノードと電荷転送ゲート用MOSトランジスタのソース領域とにコンタクトするように配線を形成する構造のものが、このコンタクト部分をストラップ・コンタクトと称している。また、ビット線が電荷転送ゲート用MOSトランジスタのドレイン領域にコンタクトした部分をビット線コンタクトと称している。

【0005】以下、従来のトレンチ・キャパシタの形成方法について、図5(a)乃至(c)、図6(a)および(b)を参照しながら詳細に説明する。まず、図5(a)に示すように、n型拡散層50が埋め込まれたp型シリコン基板51に対して、上記n型拡散層50中に達する溝を掘り、この溝の内周面に絶縁膜(例えばシリコン酸化膜)53を形成し、溝内の中間高さまでキャパシタ電極(n型不純物をドーブしたポリシリコン膜)54を埋め込み、その上にキャパシタ絶縁膜55を形成し、さらに溝内の上部にキャパシタ電荷蓄積ノード(n型不純物をドーブしたポリシリコン膜)56を埋め込む。

【0006】この後、基板上にゲート絶縁膜57を形成し、このゲート絶縁膜57上にポリシリコン膜58およびエッチングマスク用の窒化シリコン膜(SiN膜)59を順次堆積させ、パターニングによりワード線58を形成する。

【0007】次に、減圧CVD(化学気相成長)法により前記基板51の上面全面にSiN膜60を堆積させる。次に、図5(b)に示すように、全面にフォトリソグرافィ技術を使用し、ストラップ・コンタクト形成予定領域(図5a中の62)上のSiN膜60およびその下層のゲート絶縁膜57を異方性エッチング(例えば反応性イオンエッチング;RIE)により除去し、ストラップ・コンタクト用のコンタクトホールを開口する。この場合、ストラップ・コンタクト形成予定領域62に隣接するワード線58の側壁のSiN膜60を残しておく。

【0008】次に、前記フォトリソグرافィ技術により、図5(c)に示すように、全面にリンドーブ・ポリシリコン膜63を堆積させ、このポリシリコン膜63の一部がストラップ・コンタクト領域に残存するようにパターニングを行う。そして、ポリシリコン膜63からの固相拡散により、電荷転送ゲート用のnチャネルMOSトランジスタのソース領域63aを形成する。

【0009】次に、図6(a)に示すように、ビット線コンタクト形成予定領域(図5a中の64)上のSiN

膜60およびその下層のゲート絶縁膜57をRIEにより除去する。この場合、ビット線コンタクト形成予定領域64に隣接するワード線58の側壁のSiN膜60を残しておく。

【0010】次に、減圧CVD法により基板上全面にSiN膜65を堆積させ、その後に堆積させるBPSPG(リン・ボロン・シリケートガラス)膜67を除去する際のストッパーとして、ポリシリコン膜66を堆積させる。

【0011】続いて、全面にBPSPG膜67を堆積させ、全面にフォトリソグرافィ技術を使用し、ビット線コンタクト形成予定領域上のBPSPG膜67をRIEにより除去する。

【0012】次に、前記ポリシリコン膜66をビット線コンタクト形成予定領域上のみ等方性エッチングにより除去し、900℃のウェット雰囲気中で、前記BPSPG膜67のリフローおよびビット線コンタクト形成予定領域上以外に残っているポリシリコン膜66の酸化を行う。その後、ビット線コンタクト形成予定領域上のSiN膜65をRIEにより除去し、ビット線コンタクト用のコンタクトホールを開口する。

【0013】次に、前記フォトリソグرافィ技術により全面にポリシリコン膜69を堆積させ、イオン注入法により上記ポリシリコン膜69にリンイオンを注入する。そして、上記ポリシリコン膜69からの固相拡散により、電荷転送ゲート用のnチャネルMOSトランジスタのドレイン領域69aを形成する。さらに、DCマグネトロン・スパッタ法により、全面にタングステン・シリサイド(WSi)膜70を堆積させる。その後、前記WSi膜70とポリシリコン膜69とをRIEによりパターニングすることにより、前記電荷転送ゲート用MOSトランジスタのドレイン領域69aにコンタクトしたビット線が形成される。

【0014】しかし、上記したような従来のストラップ・コンタクト/ビット線コンタクトの形成方法は、次に述べるような問題がある。

(1) ストラップ・コンタクト、ビット線コンタクトを別々(順次)に形成するので、工程が長くなり、工期/生産性の面で好ましくない。

【0015】(2) ストラップ・コンタクト用のコンタクトホール、ビット線コンタクト用のコンタクトホールを開口するためのリソグرافィ工程を別々に行うので、パターンマスクの合わせずれなどに起因して、ストラップ・コンタクト/ビット線コンタクトの短絡が起きるおそれがある。

【0016】(3) ストラップ・コンタクトとビット線コンタクトとを形成した後に基板上全面に絶縁膜を形成した時、ストラップ・コンタクト上、ビット線コンタクト上の部分に対応して凹部が発生し、後のリソグرافィ

5

工程に支障が生じる。一方、特開平 2-128466 号の「SDHT 構造を有する DRAM セルおよびその製造方法」には、ストラップ・コンタクトとビット線コンタクトとを同時に形成する技術が開示されているが、前述したようにビット線コンタクト上の部分に対応して凹部が発生する。

【0017】

【発明が解決しようとする課題】上記したように従来は、ストラップ・コンタクト/ビット線コンタクトを具備した DRAM セルを形成する際、ストラップ・コンタクト/ビット線コンタクト形成後に基板上全面に絶縁膜を形成した時、ストラップ・コンタクト上、ビット線コンタクト上の部分に対応して凹部が発生し、後のリソグラフィ工程に支障が生じるという問題があった。

【0018】本発明は上記の問題点を解決すべくなされたもので、ストラップ・コンタクト/ビット線コンタクトを具備した DRAM セルを形成する際、工程を簡素化し、ストラップ・コンタクト/ビット線コンタクトの短絡を防止でき、ストラップ・コンタクト/ビット線コンタクト形成後に基板上全面に絶縁膜を形成した時の平坦性を確保でき、後のリソグラフィ工程における支障を防止し得る半導体装置の製造方法を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明の半導体装置の製造方法は、ストラップ・コンタクト/ビット線コンタクトを具備した DRAM セルを形成する際、基板上全面に第 1 の絶縁膜を堆積させ、ストラップ・コンタクト形成予定領域上およびビット線コンタクト形成予定領域上の第 1 の絶縁膜を除去する工程と、基板上全面に少なくともワード線の高さまで第 1 の導電層を堆積させた後、化学的あるいは機械的なポリッシング法を用いて第 1 の導電層をワード線の高さまで埋め込んだ状態で残すように除去する工程と、基板上全面に第 2 の絶縁膜を堆積させ、ビット線コンタクト形成予定領域上の第 1 の導電層上の少なくとも一部の第 2 の絶縁膜を除去し、ビット線コンタクト用の接続孔を形成する工程と、ビット線を形成する工程とを具備することを特徴とする。

【0020】

【作用】本発明は、ワード線を形成した後、基板上全面に第 1 の導電層を堆積させ、ポリッシング法を用いて第 1 の導電層を少なくともワード線の高さまで埋め込んだ状態で残すように除去した後、基板上全面に第 2 の絶縁膜を堆積させ、リフローを行い、ビット線コンタクト形成予定領域上の第 2 の絶縁膜を除去してビット線コンタクト用の接続孔を形成した後、ビット線を形成するものである。

【0021】従って、ストラップ・コンタクトとビット線コンタクトとを同時に形成でき、工程を大幅に省略し、工期/生産性の面での改善が可能になる。また、ストラ

6

ップ・コンタクト用のコンタクトホール、ビット線コンタクト用のコンタクトホールを開孔するためのリソグラフィ工程を同時に行うので、パターンマスクの合わせずれなどに起因して、ストラップ・コンタクト/ビット線コンタクトの短絡が起きるおそれなくなる。

【0022】しかも、第 1 の導電層を少なくともワード線の高さまで埋め込むので、ストラップ・コンタクト領域上およびビット線コンタクト領域上を含む平面の平坦化が可能となる。これにより、後で第 2 の絶縁膜を堆積させてビット線コンタクト用の接続孔を形成する工程に際して、下地構造が平坦であるので、リソグラフィ技術が容易となる。

【0023】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。図 1 (a) 乃至 (c)、図 2 (a) および (b) は、本発明の第 1 実施例に係る DRAM セルの形成工程におけるウェハ断面構造を示している。

【0024】まず、図 1 (a) に示すように、n 型拡散層 10 が埋め込まれた p 型シリコン基板 11 に対して、上記 n 型拡散層 10 中に達する溝を掘り、この溝の内周面に絶縁膜（例えばシリコン酸化膜）13 を形成し、溝内の中間高さまでキャパシタ電極（n 型不純物をドーブしたポリシリコン膜）14 を埋め込み、その上にキャパシタ絶縁膜 15 を形成し、さらに溝内の上部にキャパシタ電荷蓄積ノード（n 型不純物をドーブしたポリシリコン膜）16 を埋め込む。

【0025】この後、基板上にゲート絶縁膜 17 を形成し、このゲート絶縁膜 17 上にポリシリコン膜 18 およびエッチングマスク用の窒化シリコン膜（SiN 膜）19 を順次堆積させ、パターニングによりワード線 18 を形成する。

【0026】次に、減圧 CVD（化学気相成長）法により前記基板 11 の上面全面に SiN 膜 20 を堆積させる。次に、図 1 (b) に示すように、全面にフォトリソグリス 21 を塗布し、リソグラフィ技術を使用し、ストラップ・コンタクト形成予定領域（図 1 a 中の 22）上の SiN 膜 20 およびその下層のゲート絶縁膜 17 ならびにビット線コンタクト形成予定領域（図 1 a 中の 23）上の SiN 膜 20 およびその下層のゲート絶縁膜 17 を異方性エッチング（例えば RIE）により除去し、ストラップ・コンタクト用のコンタクトホールおよびビット線コンタクト用のコンタクトホールを開孔する。この場合、ストラップ・コンタクト形成予定領域に隣接するワード線の側壁の SiN 膜 20 およびビット線コンタクト形成予定領域に隣接するワード線の側壁の SiN 膜 20 を残しておく。

【0027】この工程では、ストラップ・コンタクト/ビット線コンタクトのための開孔を同時に行うので、リソグラフィのルールは、デザインルールに比べて、大幅に緩和することが可能となる。

【0028】次に、前記フォトレジスト21を除去した後、図1(c)に示すように、減圧CVD法により、全面にリンドーブト・ポリシリコン膜を堆積させる。この場合、少なくとも前記ワード線18の高さ以上(基板表面から少なくとも前記エッチングマスク用のSiN膜19上面までの高さ以上)、ポリシリコン膜(24a、24b)を堆積させる。

【0029】そして、上記ポリシリコン膜(24a、24b)からの固相拡散により、電荷転送ゲート用のnチャネルMOSトランジスタのソース領域25aおよびドレイン領域25bを形成する。

【0030】次に、化学的あるいは機械的なポリッシング法を用いて、上記ポリシリコン膜を少なくともワード線18の高さまで埋め込んだ状態で残すように除去する。これにより、前記キャパシタ電荷蓄積ノード16と電荷転送ゲート用トランジスタのソース拡散層24aとを電気的に接続するための導電層24aおよびビット線コンタクト用の導電層24bが形成される。

【0031】次に、リソグラフィ技術およびRIEを使用し、前記ストラップ・コンタクト領域/ビット線コンタクト領域上以外のポリシリコン膜を除去する。次に、図2(a)に示すように、減圧CVD法により基板上全面にBPSG膜26を堆積させ、900℃のN₂雰囲気中で、BPSG膜26のリフローを行う。

【0032】続いて、全面にフォトレジスト27を塗布し、リソグラフィ技術を使用し、ビット線コンタクト形成予定領域上のBPSG膜26をRIEにより除去し、ビット線コンタクト用の接続孔を形成する。

【0033】次に、図2(b)に示すように、減圧CVD法により全面にポリシリコン膜28を堆積させ、イオン注入法により上記ポリシリコン膜28にリンイオンを注入する。さらに、DCマグネトロン・スパッタ法により、全面にWSi膜29を堆積した後、上記WSi膜29とポリシリコン膜28とをRIEによりパターンニングすることにより、前記ビット線コンタクト用導電層24bにコンタクトしたビット線(28、29)が形成される。

【0034】上記第1実施例の形成方法によれば、ワード線18を形成した後、基板上全面にSiN膜20を堆積させ、ストラップ・コンタクト形成予定領域22上およびビット線コンタクト形成予定領域23上のSiN膜20を同時に除去し、さらに、基板上全面にワード線の高さまでポリシリコン膜を堆積させる。この後、化学的あるいは機械的なポリッシング法を用いて、上記ポリシリコン膜を少なくともワード線の高さまで埋め込んだ状態で残すように除去して、ストラップ・コンタクト用導電層24aおよびビット線コンタクト用導電層24bを形成する。さらに、基板上全面にBPSG膜26を堆積させ、リフローを行い、ビット線コンタクト形成予定領域上のBPSG膜26を除去してビット線コンタクト用

の接続孔を形成した後、ビット線(28、29)を形成するものである。

【0035】従って、ストラップ・コンタクト24aとビット線コンタクト24bを同時に形成でき、工程を大幅に省略し、工期/生産性の面での改善を図ることが可能になる。

【0036】また、ストラップ・コンタクト用のコンタクトホール、ビット線コンタクト用のコンタクトホールを開口するためのリソグラフィ工程を同時に行うので、パターンマスクの合わせずれなどに起因して、ストラップ・コンタクト/ビット線コンタクトの短絡が起きるおそれなくなる。

【0037】しかも、ポリシリコン膜(24a、24b)を少なくともワード線18の高さまで埋め込むので、ストラップ・コンタクト領域上およびビット線コンタクト領域上を含む平面の平坦化が可能となる。これにより、後でBPSG膜26を堆積させてビット線コンタクト用の接続孔を形成する工程に際して、下地構造が平坦であるので、リソグラフィ技術が容易となる。

【0038】図3(a)、(b)および図4(a)、(b)は、本発明の第2実施例に係るDRAMセルの形成方法の主要な工程におけるウエハ断面構造を示している。まず、図3(a)に示す工程では、第1実施例の図1(a)に示した工程と同様に、シリコン基板11に対して、シリコン酸化膜13、キャパシタ電極14、キャパシタ絶縁膜15、キャパシタ電荷蓄積ノード16、ゲート絶縁膜17、ポリシリコン膜(ワード線)18、SiN膜19、SiN膜20を形成する。

【0039】この後、減圧CVD法により基板上全面にBPSG膜30を堆積させ、900℃のN₂雰囲気中で、BPSG膜30のリフローを行う。次に、図3

(b)に示すように、全面にフォトレジスト31を塗布し、リソグラフィ技術を使用し、ストラップ・コンタクト形成予定領域22上のBPSG膜30、SiN膜20およびその下層のゲート絶縁膜17ならびにビット線コンタクト形成予定領域23上のBPSG膜30、SiN膜20およびその下層のゲート絶縁膜17を異方性エッチング(例えばRIE)により除去し、ストラップ・コンタクト用のコンタクトホールおよびビット線コンタクト用のコンタクトホールを開口する。この場合、ストラップ・コンタクト形成予定領域に隣接するワード線18の側壁のSiN膜20およびビット線コンタクト形成予定領域に隣接するワード線18の側壁のSiN膜20を残しておく。

【0040】次に、前記フォトレジスト31を除去し、図4(a)に示すように、減圧CVD法により、全面にリンドーブト・ポリシリコン膜(32a、32b)を堆積させる。この場合、ポリシリコン膜(32a、32b)を前記BPSG膜30の高さ以上堆積させる。

【0041】そして、上記ポリシリコン膜(32a、3

2b)からの固相拡散により、電荷転送ゲート用のnチャネルMOSトランジスタのソース領域25aおよびドレイン領域25bを形成する。

【0042】次に、化学的あるいは機械的なポリッシング法を用いて、上記ポリシリコン膜(32a、32b)をBPSG膜30の高さまで埋め込んだ状態で残すように除去する。これにより、前記キャパシタ電荷蓄積ノード16と電荷転送ゲート用トランジスタのソース拡散層25aとを電気的に接続するための導電層32aおよびビット線コンタクト用の導電層32bが形成される。

【0043】次に、図4(b)に示すように、減圧CVD法により、全面に酸化膜33を堆積させ、リソグラフィ技術およびRIEを使用し、ビット線コンタクト用導電層32b上のみ上記酸化膜33を除去する。

【0044】この後、全面にポリシリコン膜28を堆積させ、イオン注入法により、上記ポリシリコン膜28にリンイオンを注入する。さらに、DCマグネトロン・スパッタ法により、全面にWSi膜29を堆積させる。その後、上記WSi膜29とポリシリコン膜28とをRIEによりパターニングすることにより、ビット線が形成される。

【0045】上記第2実施例の形成方法によれば、ワード線を形成した後、基板上全面にSiN膜20およびBPSG膜30を順次堆積させ、ストラップ・コンタクト形成予定領域22上のBPSG膜30、SiN膜20およびその下層のゲート絶縁膜17ならびにビット線コンタクト形成予定領域23上のBPSG膜30、SiN膜20およびその下層のゲート絶縁膜17をRIEにより除去して開孔する。そして、この開孔部にポリシリコン膜32を埋め込み、さらに、全面に酸化膜33を堆積させ、ビット線コンタクト用導電層32b上のみ酸化膜33を除去した後、ビット線を形成するものである。

【0046】従って、前記第1実施例と同様に、ストラップ・コンタクト用導電層32aとビット線コンタクト用導電層32bを同時に形成することにより、工程を大幅に省略することが可能となる。

【0047】また、BPSG膜30、SiN膜20およびその下層のゲート絶縁膜17をRIEにより除去して

開孔するので、リソグラフィ工程をさらに削減することが可能となる。

【0048】しかも、ポリシリコン膜(32a、32b)をBPSG膜30の高さまで埋め込むので、後で酸化膜33を堆積させてビット線コンタクト用の接続孔を形成する工程に際して、下地構造が平坦であるので、リソグラフィ技術が容易となる。

【0049】

【発明の効果】上述したように本発明によれば、トレンチ・キャパシタ方式のDRAMセルを形成する際、ストラップ・コンタクトとビット線コンタクトを同時に形成し、工程を大幅に省略することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るDRAMセルの形成工程におけるウェハを示す断面図。

【図2】図1の工程につづく工程におけるウェハを示す断面図。

【図3】本発明の第2実施例に係るDRAMセルの形成工程におけるウェハを示す断面図。

【図4】図3の工程につづく工程におけるウェハを示す断面図。

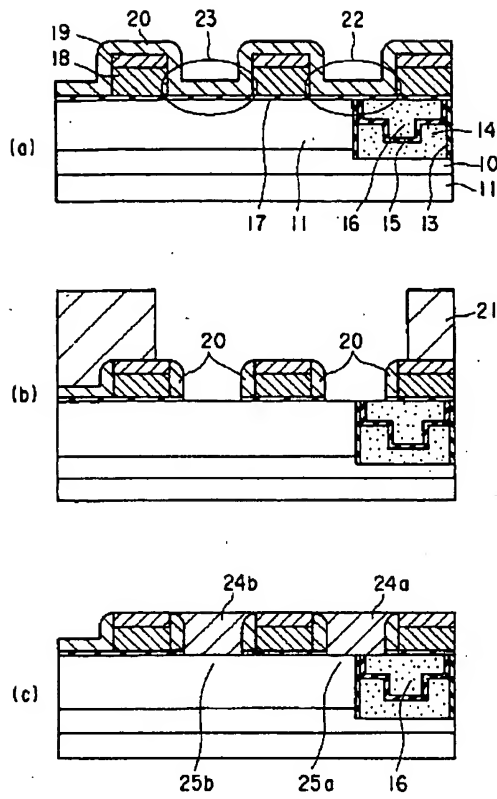
【図5】従来のトレンチ・キャパシタの形成工程におけるウェハを示す断面図。

【図6】図5の工程につづく工程におけるウェハを示す断面図。

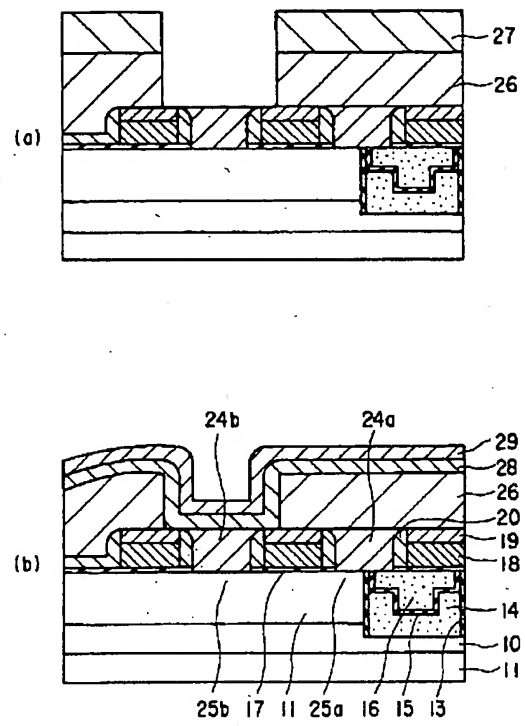
【符号の説明】

11…シリコン基板、13…シリコン酸化膜、14…キャパシタ電極、15…キャパシタ絶縁膜、16…キャパシタ電荷蓄積ノード、17…ゲート絶縁膜、18…ポリシリコン膜(ワード線)、19…SiN膜、20…SiN膜、21…フォトレジスト、22…ストラップ・コンタクト形成予定領域、23…ビット線コンタクト形成予定領域、24…ポリシリコン膜、24a、32a…ストラップ・コンタクト用導電層、24b、32b…ビット線コンタクト用導電層、25a…ソース領域、25b…ドレイン領域、26…BPSG膜、27…フォトレジスト、28…ポリシリコン膜、29…WSi膜、30…BPSG膜、31…フォトレジスト、33…酸化膜。

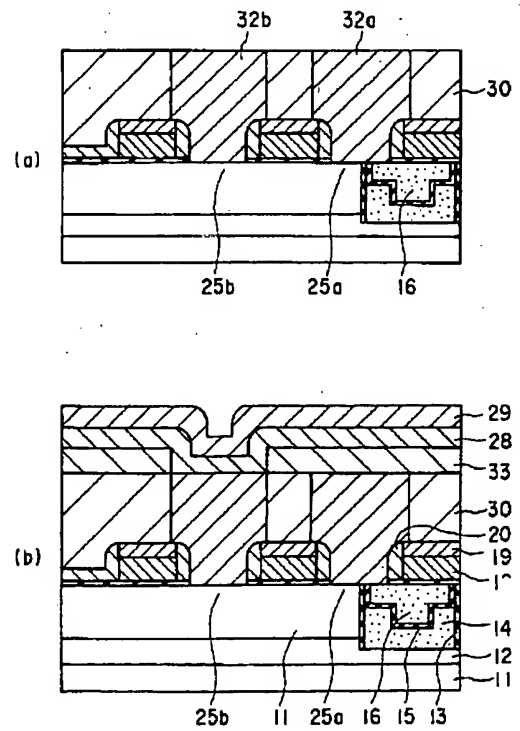
【図 1】



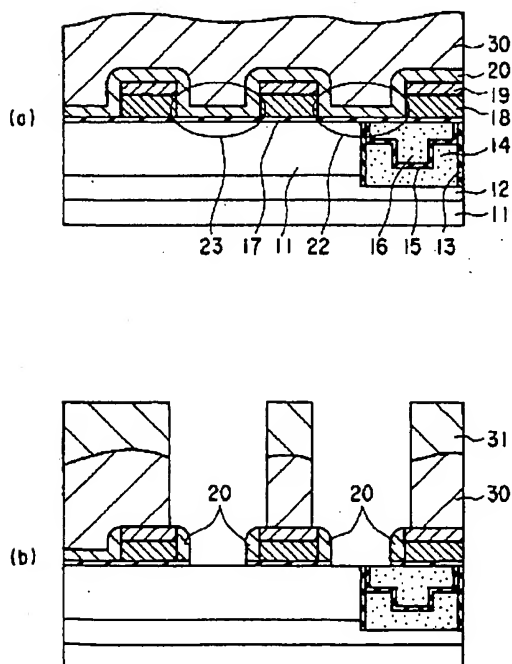
【図 2】



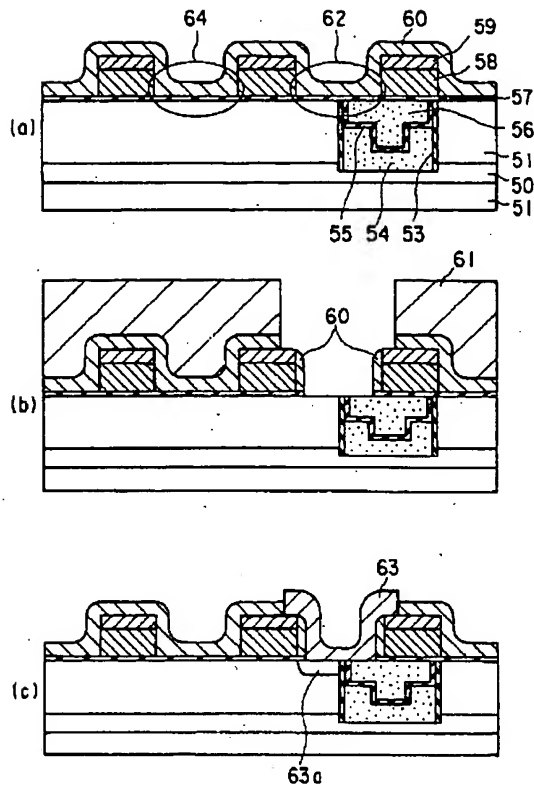
【図 4】



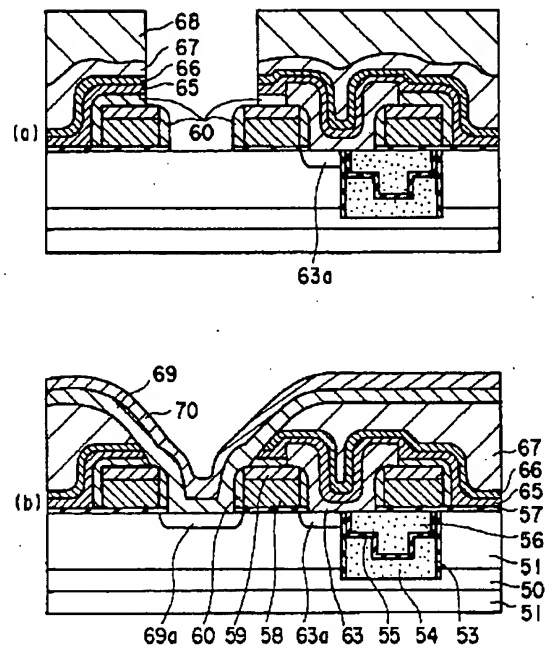
【図 3】



【図 5】



【図 6】



フロントページの続き

(51) Int. Cl.⁶

H01L 21/822

識別記号

庁内整理番号

F I

技術表示箇所

7210-4M

H01L 27/10

325 P